

TIMING CONTROL CIRCUIT FOR REFRESH OPERATION OF SEMICONDUCTOR STORAGE DEVICE

Patent number: JP62188096
Publication date: 1987-08-17
Inventor: SAWADA KAZUHIRO; others: 02
Applicant: TOSHIBA CORP
Classification:
 - international: G11C11/34
 - european:
Application number: JP19860029320 19860213
Priority number(s):

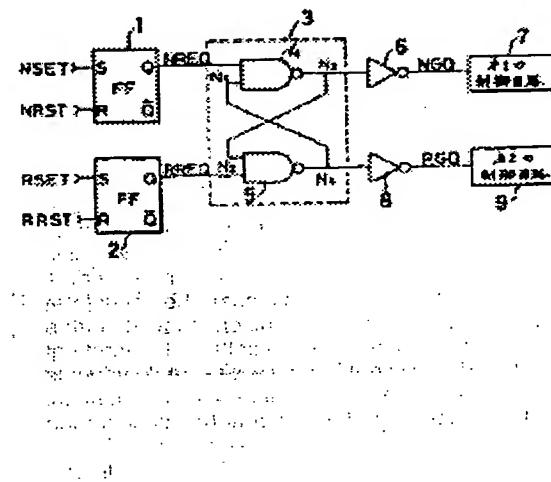
Also published as:

 EP0242948 (A)
 US4757217 (A)
 EP0242948 (B)

Abstract of JP62188096

PURPOSE: To automatically perform a refresh in a vacant time of a normal memory operation, by controlling an operation according to priority of a normal readout start command signal and a refresh start command signal generated within a storage device.

CONSTITUTION: At the time of, first of all, a readout start command signal NSET is inputted to the terminal S of an FF circuit 1, and next, a refresh start command signal RSET is inputted to the terminal S of an FF circuit 2, the first control circuit 3 is activated through a priority decision circuit 3, then a normal operation is started. Next, at the time of a normal word line shut-off signal NRST is inputted to the terminal R of the circuit 1, the second control circuit 9 is activated, then the refresh is performed. On completing those operations, a refresh word line shut-off signal RRST is inputted to the terminal R of the circuit 2, then a state goes to a standby state. At the time of the signal RSET is inputted earlier than the signal NSET, the normal operation is performed after the refresh, and the refresh is performed in the vacant time of the memory operation.



Data supplied from the **esp@cenet** database - Worldwide

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑯ 公開特許公報 (A) 昭62-188096

⑯ Int. Cl. 4
G 11 C 11/34

識別記号 363 厅内整理番号 E-8522-5B

⑯ 公開 昭和62年(1987)8月17日

審査請求 有 発明の数 1 (全7頁)

⑯ 発明の名称 半導体記憶装置のリフレッシュ動作タイミング制御回路

⑯ 特願 昭61-29320

⑯ 出願 昭61(1986)2月13日

⑯ 発明者 沢田和宏 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑯ 発明者 桜井貴康 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑯ 発明者 野上一孝 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑯ 出願人 株式会社東芝 川崎市幸区堀川町72番地
⑯ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体記憶装置のリフレッシュ動作タイミング制御回路

2. 特許請求の範囲

(1) リフレッシュ動作が必要なメモリセルのアレイを有し、リフレッシュ動作が必要な場合には通常のメモリ動作とリフレッシュ動作とを同一のアクセスサイクル内で行なうことが可能な半導体記憶装置に設けられ、通常読み出し開始指令信号が一方の入力となり、通常動作において選択されるワード線の選択終了に伴なって通常動作ワード線シャットオフ信号が他方の入力となり、上記通常読み出し開始指令信号を一時保持するセットリセット形の第1のフリップ回路と、リフレッシュ開始指令信号が一方の入力となり、リフレッシュ動作において選択されるリフレッシュワード線の選択終了に伴ってリフレッシュワード線シャットオフ信号が他方の入力となり、上記リフレッシュ開始指令信号を一

時保持するセットリセット形の第2のフリップフロップ回路と、2個の2入力論理回路が交差接続されており、この2個の2入力論理回路の各一方の入力としてそれぞれ対応して前記2個のフリップフロップ回路により一時保持された信号が導かれ、両入力の論理レベル関係により通常の読み出し動作を開始制御するための信号またはリフレッシュ動作を開始制御するための信号を出力する優先度決定回路とを具備することを特徴とする半導体記憶装置のリフレッシュ動作タイミング制御回路。

(2) 前記優先度決定回路の2個の2入力論理回路の各出力側にそれぞれ対応して波形整形用のインバータ回路が設けられてなることを特徴とする前記特許請求の範囲第1項記載の半導体記憶装置のリフレッシュ動作タイミング制御回路。

(3) 前記2個の2入力論理回路はそれぞれ2入力 NAND 回路であり、前記インバータ回路の閾値はその入力のハイレベルとローレベルとの中间電位より低目に設定されていることを特徴と

する前記特許請求の範囲第2項記載の半導体記憶装置のリフレッシュ動作タイミング制御回路。

(4)前記2個の2入力論理回路はそれぞれ2入力ノア回路であり、前記インバータ回路の閾値はその入力のハイレベルとローレベルとの中間電位より高目に設定されていることを特徴とする前記特許請求の範囲第2項記載の半導体記憶装置のリフレッシュ動作タイミング制御回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はリフレッシュ動作の必要な半導体記憶装置に係り、特に通常のメモリ動作の空き時間にリフレッシュ動作を行なうことが可能な半導体メモリにおいて、通常のメモリ動作とリフレッシュ動作とのタイミングを管理制御するリフレッシュ動作タイミング制御回路に関する。

(従来の技術)

リフレッシュ動作を必要とする半導体メモリたとえばメモリセルが1トランジスタと1キャ

とパッファレジスタ54との電気的接続が所定タイミングでスイッチ制御されるようになっているので、通常のメモリ動作の空き時間にリフレッシュ動作を行なわせることが可能になっている。即ち、アドレス(ADD)信号とチップイネーブルバー(CE)信号とによって確定したアドレスに対応したワード線WL1が一定期間開き、この期間にセンスアンプイネーブル(SAE)信号によりセンスアンプ52が動作してメモリセルアレイ51からのデータをセンス増幅し、上記読み出しの対象となったメモリセルの再書き込みが行なわれる。引き続いで、カラムデコーダイネーブル(CDE)信号によりカラムデコーダ53が動作し、その出力による制御により前記センスアンプ52の出力がパッファレジスタ54に伝えられ、パッファレジスタイネーブル(BRE)信号により上記パッファレジスタ54にデータが格納され、このデータが入出力パッファ56を経て入出力ピン(図示せず)から出力データOUTとして出力される。このように読み

出しデータが出力されるまでの期間内に上記CDE信号、SAE信号がディセーブルになって再びメモリセルアレイ51のピット線にアクセスが可能になり、今度はリフレッシュアドレス信号により上記ワード線WL1とは別のリフレッシュの対象となるメモリセルに接続されているリフレッシュワード線RWLが一定期間開く。そして、この期間に再びSAE信号によりセンスアンプ52が動作することによって上記リフレッシュの対象となるメモリセルの再書き込み(リフレッシュ)が行なわれる。このリフレッシュ動作のとき、CDE信号はディセーブル状態のままであるので、このときのセンスアンプ出力は読み出されない。次に、C E信号がイネーブルになると、上記したと同様にアドレス信号によるワード線の選択(たとえばWL2の選択)からリフレッシュ動作までの一連の動作が繰り返される。

なお、上記した動作タイミングにおいては、リフレッシュ動作は読み出し動作による読み出

しデータ確定後に行なわれたが、これに限らず、通常の読み出し動作の前のアドレスコーディング中にリフレッシュ動作を行なわせるようにしてもよい。また、上記動作例では1つのアクセスサイクル内で通常のメモリ動作とリフレッシュ動作とを時分割で行なったが、必ずしも各サイクル毎にリフレッシュを行なわなくてもよく、リフレッシュが必要となるサイクルのみ上記のように通常の読み出し動作とリフレッシュ動作とを時分割で行なうようにしてもよい。また、リフレッシュしようとしたときにRAMがアクセスされていない場合には単にリフレッシュ動作だけを行なうようにすればよい。

ところで、上述したように通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにそのタイミングを管理制御するためのリフレッシュタイミング制御回路が必要であり、その具体的で簡単な回路構成の実現が望まれていた。

を各対応して一方の入力とする2個の2入力論理回路が交差接続され、上記各一方の入力の論理レベル関係により通常読み出し動作とリフレッシュ動作との優先度を決定し、この決定出力により通常読み出し動作の開始制御あるいはリフレッシュ動作の開始制御を行なう通常動作・リフレッシュ動作優先度決定回路とからなることを特徴とするものである。

(作用)

上記優先度決定回路は、1つのアクセスサイクル内で2種の開始指令信号が順次入力した場合には先に入力した開始指令信号を優先してそれに対応する通常動作あるいはリフレッシュ動作を開始制御し、この動作後に残りの開始指令信号による対応する動作を開始制御する。また、上記2種の開始指令信号が同時に入力した場合でも、いずれか一方の開始指令信号に対応する動作を開始制御し、この動作後に残りの開始指令信号に対応する動作を開始制御する。また、1つのアクセスサイクル内に1種の開始指令信号

(発明が解決しようとする問題点)

本発明は、上述したように通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにタイミングを管理制御するための具体的回路の実現に対する要望に鑑みてなされたもので、簡単な回路構成によってリフレッシュ動作を適切なタイミングで行なわせるように管理制御し得る半導体記憶装置のリフレッシュ動作タイミング制御回路を提供することを目的とする。

(発明の構成)

(問題点を解決するための手段)

本発明は、通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにタイミングを管理制御する半導体記憶装置のリフレッシュ動作タイミング制御回路として、記憶装置内部で発生する通常読み出し開始指令信号およびリフレッシュ開始指令信号をそれぞれ一時保持する2個のフリップフロップ回路と、この2個のフリップフロップ回路の各一方の出力

号しか入力しなかった場合にはこの開始指令信号に対応する動作のみを開始制御する。したがって、通常のメモリ動作の空き時間に自動的にリフレッシュ動作を組み入れるような制御が可能であり、使用者からリフレッシュ動作が見えない仮想的なスタティック型メモリを実現することができる。しかも、上記優先度決定回路は2個の2入力論理回路を交差接続して構成可能であり、その前段側に2種の開始指令信号を一時保持するための2個のセットリセット型FF回路を接続することでリフレッシュ動作タイミング制御回路を簡単な回路構成により安価に実現可能である。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。第1図に示すリフレッシュ動作タイミング制御回路は、通常のメモリ動作の空き時間にリフレッシュ動作を行なうことが可能な第5図を参照して前述したような半導体記憶装置の一部として架橋回路チップ上に形成され

ている。即ち、1はセットリセット型の第1のフリップフロップ(FF)回路であり、そのセット入力Sとして通常読み出し動作(通常動作)開始指令信号NSETが入力し、リセット入力Rとして通常動作ワード線シャットオフ信号NRSTが入力する。2はセットリセット型の第2のFF回路であり、そのセット入力Sとしてリフレッシュ開始指令信号RSETが入力し、リセット入力Rとしてリフレッシュワード線シャットオフ信号RRSTが入力する。3は2個の2入力 NAND回路4,5が交差接続(一方の回路の出力が他方の回路の2入力のうちの1入力となる)された通常動作・リフレッシュ動作優先度決定回路であり、第1の2入力NAND回路4の一方の入力として前記第1のFF回路1のQ出力(通常動作要求信号NREQ)が導かれ、第2の2入力NAND回路5の一方の入力として前記第2のFF回路2のQ出力(リフレッシュ要求信号RREQ)が導かれている。上記第1の2入力NAND回路4の出力はCMOS型(相補性絶縁ゲー

1のFF回路1のQ出力(NREQ)がハイレベル“H”になったのち第2のFF回路2のQ出力(RREQ)が“H”レベルになる。一方、優先度決定回路3において、第1の2入力NAND回路4の一方の入力ノードN₁および第2の2入力NAND回路5の一方の入力ノードN₂はそれぞれ対応して前記NREQ信号、RREQ信号が立ち上がるまでは“H”レベルで待機している。これによつて、NREQ信号の方がRREQ信号より先に“H”レベルになると、第1の2入力NAND回路4の出力ノードN₁がローレベル“L”になり、第2の2入力NAND回路5の出力ノードN₂は“H”レベルのままである。したがつて、第1のインバータ回路6の出力信号NGOが先に“H”レベルになり第1の制御回路7によって通常動作開始のためにアドレス入力に応じたワード線NWLを開く信号が一定期間“H”レベルになるのに対し、第2のインバータ回路8の出力信号RGOは“L”レベルのままであり、第2の制御回路9はそのままの状態で待機している。上記NGO信号の“H”

ト型)の第1のインバータ回路6により波形整形されると共に反転されて通常動作開始制御用の第1の制御回路7の入力となり、前記第2の2入力NAND回路5の出力はCMOS型の第2のインバータ回路8により波形整形されると共に反転されてリフレッシュ動作開始制御用の第2の制御回路9の入力となるよう接続されている。

次に、上記リフレッシュ動作タイミング制御回路の動作について第2図のタイミングチャートを参照して説明する。半導体記憶装置のアドレス入力が変化し、あるいはCDE信号がイネーブル状態になるとメモリサイクルが開始し、時刻t₀に図示しないメモリ制御回路から通常動作開始指令信号NSETが第1のFF回路1のセット入力として入力する。いま、たとえば上記時刻t₀より若干遅れた時刻t₁に図示しないリフレッシュタイム回路などからリフレッシュ開始指令信号RSETが第2のFF回路2のセット入力として入力したとする。したがつて、第

レベル期間に、第6図を参照して前述したと同様に通常の読み出し動作が行なわれ、CDE信号およびBRE信号がそれぞれディセーブルになった後の時刻t₂において前記ワード線NWLの選択信号が“L”レベルになってワード線NWLの選択が終了すると、図示しないメモリ制御回路から通常ワード線シャットオフ信号NRSTが第1のFF回路1のリセット入力として入力する。これにより、第1のFF回路1のNREQ出力は“L”レベルになり、第1の2入力NAND回路4の出力ノードN₁は“H”レベルになり、第1のインバータ回路6の出力信号NGOは“L”レベルになる。これに対して、前記時刻t₁で“H”レベルになった第2のFF回路2のRREQ出力は“H”レベルを保ち続けており、上記第1の2入力NAND回路4の出力ノードN₁(換言すれば、第2の2入力NAND回路5の一方の入力ノードN₂)が“H”レベルになったときに第2の2入力NAND回路5の出力ノードN₂が“L”レベルになり、第2のインバータ8の出力信号RGOが

時刻 t_3 に "H" レベルになる。なお、時刻 t_1 から t_3 までは上記回路動作に伴なう遅れ時間である。したがって、上記第 2 の制御回路 9 によって、リフレッシュ動作開始のためにリフレッシュアドレスに応じたリフレッシュワード線 RWL を開く信号が一定期間 "H" レベルになり、上記 RGO 信号の "H" レベル期間に第 6 図を参照して前述したと同様にリフレッシュ動作が行なわれる。このとき、上記第 2 の制御回路 9 は CDE 信号をディセーブル状態に保つように制御し、センスアンプ出力が読み出されないようにしている。そして、上記リフレッシュワード線 RWL の選択信号が "L" レベルになって、リフレッシュワード線 RWL の選択が終了した時刻 t_4 に図示しないメモリ制御回路からリフレッシュワード線シャットオフ信号 RRST が第 2 の FF 回路 2 のリセット入力として入力する。これにより、第 2 の FF 回路 2 の RREQ 出力は "L" レベルになり、第 2 の 2 入力 NAND 回路 5 の出力ノード N₆ は "H" レベルになり、第 2 のインバ

中間電位まで一旦下がり、その後、2 入力 NAND 回路 4, 5 の入力トランジスタ特性の相違などにより、いずれか一方が "H" レベル、他方が "L" レベルにラッピングされるようになる。ここでは、ノード N₃ が "L" レベル、ノード N₄ が "H" レベルにラッピングされる場合を図示した。そして、時刻 t_5 において、ノード N₃ の電位が第 1 のインバータ回路 6 の閾値 V_{TH} を横切って低下すると、その出力信号 NGO が "H" レベルになり、前述したように通常読み出し動作が開始するようになる。この場合、上記ノード N₃, N₄ の電位がラッピングされるまでの期間にそれぞれの電位により駆動してインバータ回路 6, 8 がそれぞれ "H" レベルを出力することがないように、つまりインバータ回路 6, 8 によりノード N₃, N₄ の電位の動きを正常に波形整形する必要があり、そのためにはインバータ回路 6, 8 の閾値 V_{TH} をそれぞれ前記中間電位 ("H" レベルが V_{cc} 電位、"L" レベルが接地電位とすれば、約 $\frac{1}{2} V_{cc}$ である) より低目に設定

ータ回路 8 の出力信号 RGO は "L" レベルになる。

以上の説明は、同一のアクセスサイクル内で通常の読み出し動作がリフレッシュ動作より前に行なわれる場合、つまりデータ出力回路の遅延時間の期間にリフレッシュ動作が組み込まれた場合であるが、前記リフレッシュ開始指令信号 RSET が通常動作開始指令信号 NSET より後に生成された場合には、上記動作例に準じてリフレッシュ動作が通常の読み出し動作より前に (アドレス入力回路のデコーディングなどに伴なう遅延時間の期間) に組み込まれるような制御が行なわれる。

これに対して、第 3 図に示す動作タイミングのように通常動作開始指令信号 NSET とリフレッシュ開始指令信号 RSET とが同時に入力して NREQ 信号と RREQ 信号とが同時に t_6 に "H" レベルになった場合には、第 1 の 2 入力 NAND 回路 4 の出力ノード N₃ および第 2 の 2 入力 NAND 回路 5 の出力ノード N₆ はそれぞれ低下し始め、時刻 t_7 に "H" レベルと "L" レベルとの

しておくことが望ましい。

なお、1 つのアクセスサイクル内で通常動作開始指令信号 NSET のみ入力した場合には通常読み出し動作のみ開始させるような制御が行なわれ、これとは逆にリフレッシュ開始指令信号 RSET のみ入力した場合にはリフレッシュ動作のみ開始させるような制御が行なわれることになる。

なお、本発明は上記実施例に限られるものではなく、第 4 図に示すように 2 個の 2 入力ノア回路 11, 12 を交差接続してなる優先度決定回路 3' を用い、その入力として第 1 の FF 回路 1 の Q 出力 (NREQ 信号) および第 2 の FF 回路 2 の Q 出力 (RREQ 信号) を導くようにし、第 1 のインバータ回路 6' の出力として NGO 信号、第 2 のインバータ回路 8' の出力として RGO 信号を得るよう変形実施してもよい。なお、第 4 図において第 1 図中と同一部分には同一符号を付している。上記場合にも前記実施例に準じた動作が得られるが、ノード N₃, N₄ の電位の動作

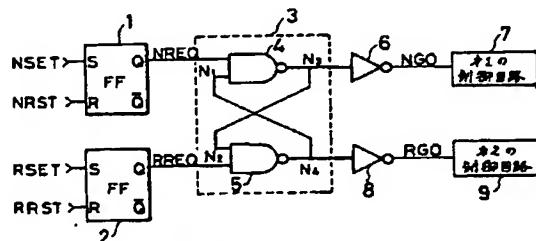
きを正常に波形整形するためにはインバータ回路6', 8'の閾値 V_{TH} をそれぞれ中間電位(約 $\frac{1}{2}V_{CC}$)より高目に設定しておくことが望ましい。

〔発明の効果〕

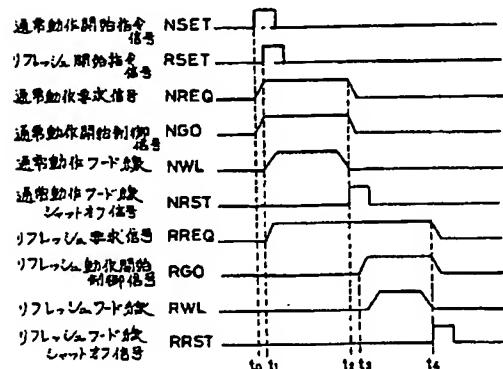
上述したように本発明によれば、通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにタイミングを管理制御する半導体記憶装置のリフレッシュ動作タイミング制御回路を、2個のフリップフロップ回路と1個の優先度決定回路とを用いて簡単な回路構成により実現でき、リフレッシュ動作を必要とするけれども使用者からはリフレッシュ動作が見えない仮想的なスタティック型メモリを安価に実現することができる。

1. 図面の簡単な説明

第1図は本発明に係る半導体記憶装置のリフレッシュ動作タイミング制御回路の一実施例を示す論理回路図、第2図は第1図の回路の動作例を示すタイミングチャート、第3図は同じく他の動作例を示すタイミングチャート、第4図



第1図

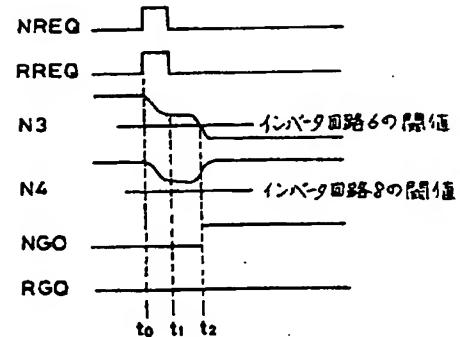


第2図

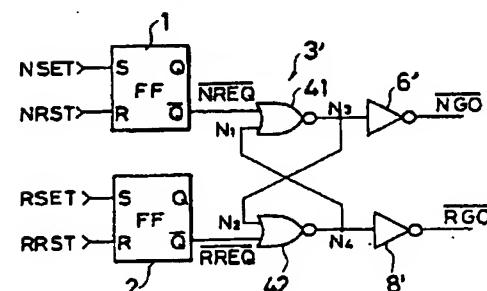
は本発明の他の実施例を示す論理回路図、第5図は現在提案されている仮想的なスタティック型メモリの一部を概略的に示す構成説明図、第6図は第5図のメモリの動作例を示すタイミングチャートである。

1, 2…フリップフロップ回路、3, 3'…優先度決定回路、4, 5…2入力 NAND 回路、6, 6', 8, 8'…インバータ回路、41, 42…2入力ノア回路。

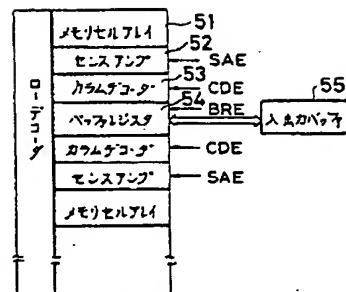
出願人代理人弁理士 鈴江 武蔵



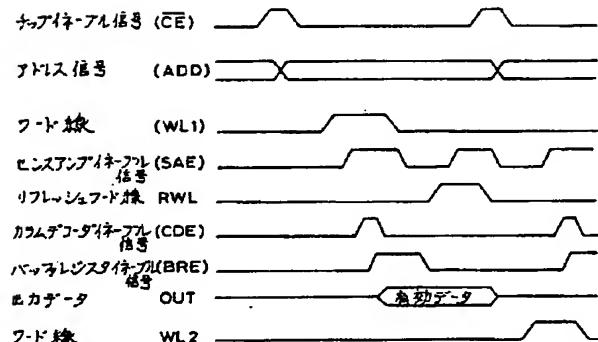
第3図



第4図



第 5 図



第 6 図